

⑬ RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

⑪ N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 611 400

⑫ N° d'enregistrement national :

87 02551

⑬ Int Cl⁴ : G 11 C 29/00.

⑭

DEMANDE DE BREVET D'INVENTION

A1

⑭ Date de dépôt : 26 février 1987.

⑮ Priorité :

⑯ Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 35 du 2 septembre 1988.

⑰ Références à d'autres documents nationaux appa-
rentés :

⑱ Demandeur(s) : Société dite : THOMSON SEMICON-
DUCTEURS. — FR.

⑲ Inventeur(s) : Jean-Marie Gaultier, Jean Devin et Gérard
Silvestre de Ferron, Thomson-CSF, S.C.P.I.

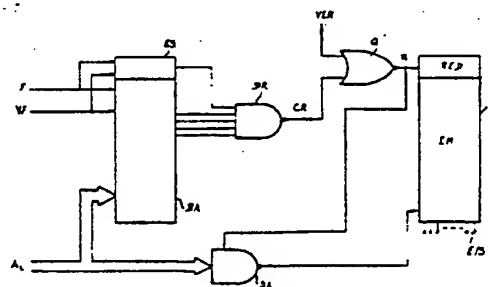
⑳ Titulaire(s) :

㉑ Mandataire(s) : Lydie Borin, Thomson-CSF S.C.P.I.

㉒ Procédé de test d'éléments pour une mémoire intégrée et dispositif de mise en œuvre du procédé.

㉓ Procédé de test d'une mémoire intégrée qui comporte un
réseau d'éléments mémoire, un décodeur d'adresse de ces
éléments, des éléments redondants ainsi qu'au moins une
batterie de fusibles permettant de définir par claquage de
certains fusibles de chaque batterie une adresse d'un élément
de mémoire défectueux à remplacer par un élément redondant,
caractérisé en ce qu'il consiste :

- à tester les éléments mémoire pour détecter des élé-
ments défectueux;
- à tester les éléments de redondance pour détecter des
éléments de redondance fonctionnels et des éléments de
redondance défectueux;
- à claquer des fusibles d'une batterie en correspondance
avec l'adresse d'un élément mémoire défectueux, cette batterie
étant reliée à un élément de redondance défini fonctionnel par
le test;
- à claquer un fusible de sélection d'élément de
redondance.



FR 2 611 400 - A1

PROCEDE DE TEST D'ELEMENTS POUR UNE
MEMOIRE INTEGREE ET DISPOSITIF
DE MISE EN OEUVRE DU PROCEDE

La présente invention concerne un procédé de test d'éléments pour une mémoire intégrée et un dispositif de mise en oeuvre du procédé.

5 Une mémoire intégrée comporte classiquement des éléments mémoire, et un décodeur d'adresse permettant d'adresser ces éléments. La mémoire peut comporter également un ou plusieurs éléments mémoire de redondance, chaque élément de redondance étant destiné à remplacer un élément défectueux de la mémoire. Pour cela, l'adresse de chaque élément défectueux est mémorisée
10 par une batterie de fusibles dans laquelle on claque certains fusibles, la batterie possédant autant de fusibles que de bit d'adresse à mémoriser.

Pour éviter d'avoir à rejeter des mémoires qui présentent des cellules sur des lignes ou sur des colonnes non fonctionnelles, la démarche de l'homme de l'art a donc consisté
15 jusque là à tester les éléments mémoire et à prévoir des éléments de redondance ligne ou colonne pour remplacer ces éléments défectueux de la mémoire. La démarche actuelle de l'homme de l'art consiste à augmenter le nombre d'éléments de redondance pour pouvoir remplacer tous les éléments défectueux
20 de la mémoire afin de réduire le taux de rejet des mémoires.

L'homme de l'art se trouve ainsi confronté à deux problèmes. Le premier problème réside dans l'augmentation de la taille des mémoires pour une capacité donnée. Le deuxième
25 problème concerne la diminution du rendement d'une telle augmentation, si on considère que ce rendement s'évalue par le rapport entre le nombre d'éléments redondants pour un nombre d'élément mémoire donné et le taux de déchet des mémoires. En effet, l'augmentation du nombre d'éléments redondants entraîne
30 le plus souvent une augmentation du taux de déchet des

mémoires pour lesquelles les éléments mémoires ont été testés et remplacés par des éléments de redondance du fait que la probabilité qu'il y ait des éléments défectueux a également augmenté.

5 L'objet de la présente invention consiste à résoudre ces problèmes en proposant un procédé de test plus complet que ceux proposés dans l'art antérieur. Le but consiste en particulier, étant donné un certain nombre d'éléments de redondance que l'on se fixe pour une mémoire, à augmenter le
10 rendement obtenu de manière à obtenir un taux de déchet inférieur à ce qu'il serait selon l'art antérieur.

La présente invention a donc pour objet un procédé de test d'une mémoire intégrée qui consiste à tester les éléments
15 de redondance avant de les substituer ou non à des éléments défectueux de la mémoire.

La présente invention a également pour objet de rendre les éléments de redondance testables sans avoir à figer l'état des fusibles qui vont permettre l'aiguillage vers chacun de ces
20 éléments de redondance, de manière à ne substituer un élément de redondance à un élément mémoire défectueux que si cet élément de redondance s'est avéré être fonctionnel lors du test.

L'invention a donc pour objet un procédé de test de
25 mémoire intégrée qui comporte un réseau d'éléments mémoire, un décodeur d'adresse de ces éléments, des éléments redondants ainsi qu'au moins une batterie de fusibles permettant de définir par claquage de certains fusibles de chaque batterie une adresse et la sélection ou non d'un élément mémoire défectueux à
30 remplacer par un élément redondant, caractérisé en ce qu'il consiste :

- à tester les éléments mémoire pour détecter des éléments défectueux ;

- à tester les éléments de redondance pour détecter des éléments de redondance fonctionnels et des éléments de redondance défectueux ;

5 - à claquer des fusibles d'une batterie en correspondance avec l'adresse d'un élément mémoire défectueux, cette batterie étant reliée à un élément de redondance défini fonctionnel par le test.

- à claquer un fusible de sélection d'élément de redondance.

10

La présente invention sera mieux comprise à l'aide de la description détaillée faite à titre d'exemple non limitatif et en regard des figures annexées qui représentent :

15 - la figure 1, un schéma général du dispositif permettant de mettre en oeuvre le procédé selon l'invention ;

- la figure 2, un schéma de réalisation d'une batterie de fusibles et d'un décodeur DR selon la figure 1 ;

- la figure 3, un schéma d'une réalisation particulière d'un élément de mémorisation selon la figure 2 ;

20

La mémoire intégrée M comporte des éléments mémoires EM et des éléments de redondance RED. Une seule ligne de redondance RED et un seul signal VER qui permet de l'adresser ont été représentés pour simplifier la compréhension.

25 Les éléments mémoire sont, de manière classique, adressables par un décodeur d'adresse DA, qui permet d'écrire ou de lire le contenu de chaque élément mémoire par l'intermédiaire des plots d'entrées-sorties E/S. Le contenu de chaque élément mémoire de redondance qui a été programmé est accessible également par les plots d'entrées-sorties E/S.

30

Le procédé selon l'invention, consiste à tester à l'aide d'un testeur non représenté, mais classique en soi, les éléments mémoire EM et d'enregistrer les adresses des éléments mémoire qui sont défectueux.

Lorsque le testeur a enregistré des adresses d'éléments défectueux, il commande la vérification des éléments de redondance. Cette vérification se fait par application d'un signal de vérification VER pour chaque ligne (ou colonne) de redondance à adresser. L'état de chaque éléments de redondance ainsi adressé est connu du testeur. Lorsqu'un premier élément redondant adressé par un premier signal VER est fonctionnel, on procède au claquage de la batterie de fusibles BA pour mémoriser l'adresse AI d'un premier élément mémoire défectueux présenté aux entrées d'adresse de cette batterie qui contient également un fusible de sélection ES pour informer et valider selon son état que l'on se sert ou non de cet élément de redondance pour cette adresse. Les fusibles sont claqués par application d'un signal de commande de claquage F et de la tension claquage VF.

Les sorties de la batterie sont appliquées à un décodeur DR qui délivre un seul signal CR dont l'état est 0 ou 1 selon l'adresse présentée et selon que le fusible de sélection ES est claqué ou non. Lorsque le fusible de sélection a été claqué, le signal CR qui est appliqué sur une entrée d'une porte OU exclusif Q permet d'inhiber le décodeur d'adresses DA et d'adresser un élément de redondance particulier, le signal de sortie R de la porte prenant un état 0 ou 1 susceptible d'inhiber le décodeur DA.

Ainsi, on claque des fusibles d'une batterie de manière à ce que l'état des fusibles de la batterie corresponde à une adresse d'un élément défectueux de la mémoire. On relie ensuite cette batterie à un élément de redondance particulier par claquage du fusible de sélection SE qui signale donc que l'on se sert de cet élément et ceci après avoir testé cet élément, de redondance qui a été reconnu fonctionnel par le test.

Sur ce schéma général on a envisagé de relier à un élément de redondance une batterie, et ainsi chaque élément de redondance a sa batterie de fusibles.

Tout en restant dans l'esprit de l'invention, il est également possible d'associer à chaque batterie plusieurs éléments de redondance, la liaison entre chaque batterie et un élément de redondance n'étant faite qu'après le test et en fonction du résultat de ce test.

Sur la figure 2, on a représenté le schéma d'une batterie de fusibles pour la mémorisation d'une adresse A1 et le décodeur DR. La batterie comporte autant d'élément de mémorisation que de bit d'adressage. Ces éléments sont référencés E6 à E15 et correspondent donc aux entrées d'adressage A6-A15 de la mémoire. Un élément de mémorisation ES supplémentaire est prévu pour mémoriser l'information d'utilisation ou non de la redondance, c'est-à-dire pour effectuer ou ne pas effectuer une liaison entre la batterie de fusible à un élément de redondance. Cet élément de redondance reçoit à son entrée d'adresse une tension Vcc. Chaque élément ES, E6 - E 15 comporte une entrée pour recevoir la tension de claquage VF et une entrée pour recevoir la tension de commande de claquage F, ces tensions étant appliquées une fois que l'on s'est assuré que l'élément de redondance est fonctionnel.

Le décodeur DR est constitué par un ensemble de transistors TS, T6-T15 qui ont leur grille reliée à une sortie d'un élément de mémorisation et les drains reliés entre eux pour former une seule sortie délivrant le signal CR. Les sources des transistors sont reliées à la masse.

Pour claquer les fusibles dans une batterie, c'est-à-dire pour mémoriser une adresse et pour sélectionner un élément de redondance, on applique un niveau bas sur toutes les entrées d'adresse puis on augmente la tension jusqu'à obtenir le claquage VF, de 12 à 13 V généralement, puis on applique la tension de commande F, de 0 à 5 V généralement et on adresse successivement chaque élément. On utilise préférentiellement une seule source de tension VF pour toutes les batteries et une source de tension F pour chaque batterie.

Les entrées A6-A15 sont destinées à recevoir les signaux correspondant aux bits d'adresse en provenance des plots d'entrées-sorties E/S de la mémoire.

5 Le fusible de sélection reçoit (à la place d'un bit d'adresse) une tension Vcc de 5 V par exemple.

Lorsque l'on procède par la suite à une écriture puis à des lectures dans la mémoire, la sortie unique du décodeur DR obtenue à partir des éléments de mémorisation E6-E15, est à 0 (ou à 1) si l'adresse présentée à l'entrée de la batterie a été
10 mémorisée par cette batterie. La sortie de chaque élément Ei a le même état que l'entrée (0 ou 1) si le bit d'entrée correspond à l'état du fusible. Si c'est le cas et que le fusible de l'élément de sélection a été claqué, l'aiguillage est fait vers l'élément de redondance sélectionné.

15

Sur la figure 3, on a représenté un exemple détaillé de réalisation d'un élément Ei de mémorisation d'adresse ou de sélection à titre indicatif et nullement limitatif.

L'élément Ei de mémorisation comprend un circuit de
20 programmation P qui reçoit le signal a_i correspondant à un bit d'adresse Ai, la tension de commande de claquage F du fusible. Le circuit comporte une porte Non-ET, NE, et les transistors T19 à T23 et délivre un signal qui va provoquer un claquage (ou non) du fusible R par conduction (ou non) du transistor T19
25 à Vss. L'élément de mémorisation Ei comprend également un circuit de mémorisation ME proprement dit qui reçoit la tension de claquage VF pour claquage le fusible R sur commande du circuit P. Ce circuit ME comporte le fusible R, des transistors T24 à T27, un condensateur C et délivre pendant la lecture de
30 l'état du fusible, un état x_i traduisant l'état du fusible. L'élément de mémorisation comporte également un décodeur DEC qui reçoit également le signal a_i d'entrée correspondant à un bit d'adresse et le signal lu x_i dans l'élément de mémorisation ME. Ce circuit DEC permet de délivrer le signal de sortie Si
35 dont l'état est soit a_i si l'état x_i du fusible correspond à

l'état a_1 , soit $\overline{a_1}$ (si inversé) si l'état x_1 du fusible ne correspond pas à cet état. Le circuit DEC comporte un inverseur I, et les transistors T28 à T30. La sortie de ce circuit est reliée à un transistor T1 (T6, T7...T15) du décodeur d'adresse

5. DR.

Cet exemple particulier de circuit a été réalisé en technologie CMOS, les transistors T20, T23, T19, T24, T27, T28, T29 étant des transistors MOS à canal N et les transistors T21, T22, T25, T30 étant des transistors à canal P.

REVENDICATIONS

1. Procédé de test d'une mémoire intégrée qui comporte un réseau d'éléments mémoire (EM), un décodeur d'adresse (DA) de ces éléments, des éléments redondants (RED) ainsi qu'au moins une batterie de fusibles (BA) permettant de définir par
5 claquage de certains fusibles de chaque batterie une adresse d'un élément de mémoire défectueux à remplacer par un élément redondant, caractérisé en ce qu'il consiste :

- à tester les éléments mémoire (EM) pour détecter des éléments défectueux ;
- 10 - à tester les éléments de redondance (RED) pour détecter des éléments de redondance fonctionnels et des éléments de redondance défectueux ;
- à claquer des fusibles d'une batterie en correspondance avec l'adresse d'un élément mémoire défectueux, cette batterie
15 étant reliée à un élément de redondance défini fonctionnel par le test ;
- à claquer un fusible de sélection d'élément de redondance.

20 2. Procédé de test selon la revendication 1, caractérisé en ce qu'il consiste à relier à chaque élément de redondance une batterie respective et à n'utiliser un couple élément de redondance-batterie que si l'élément de redondance a été défini fonctionnel.

25 3. Procédé de test selon la revendication 1, caractérisé en ce qu'il consiste à associer à chaque batterie plusieurs éléments de redondance, la liaison entre une batterie et un de ces éléments de redondance n'est faite qu'après le test, en fonction du résultat du test.

4. Dispositif de test d'une mémoire intégrée selon l'une quelconque des revendications 1 à 3, caractérisé en ce qu'il comporte :

5 - une porte ou exclusif (Q) qui permet d'adresser au moins un élément de redondance de la mémoire, cette porte (Q) recevant pour cela au moins un signal de vérification (VER) pour le test de cet élément ;

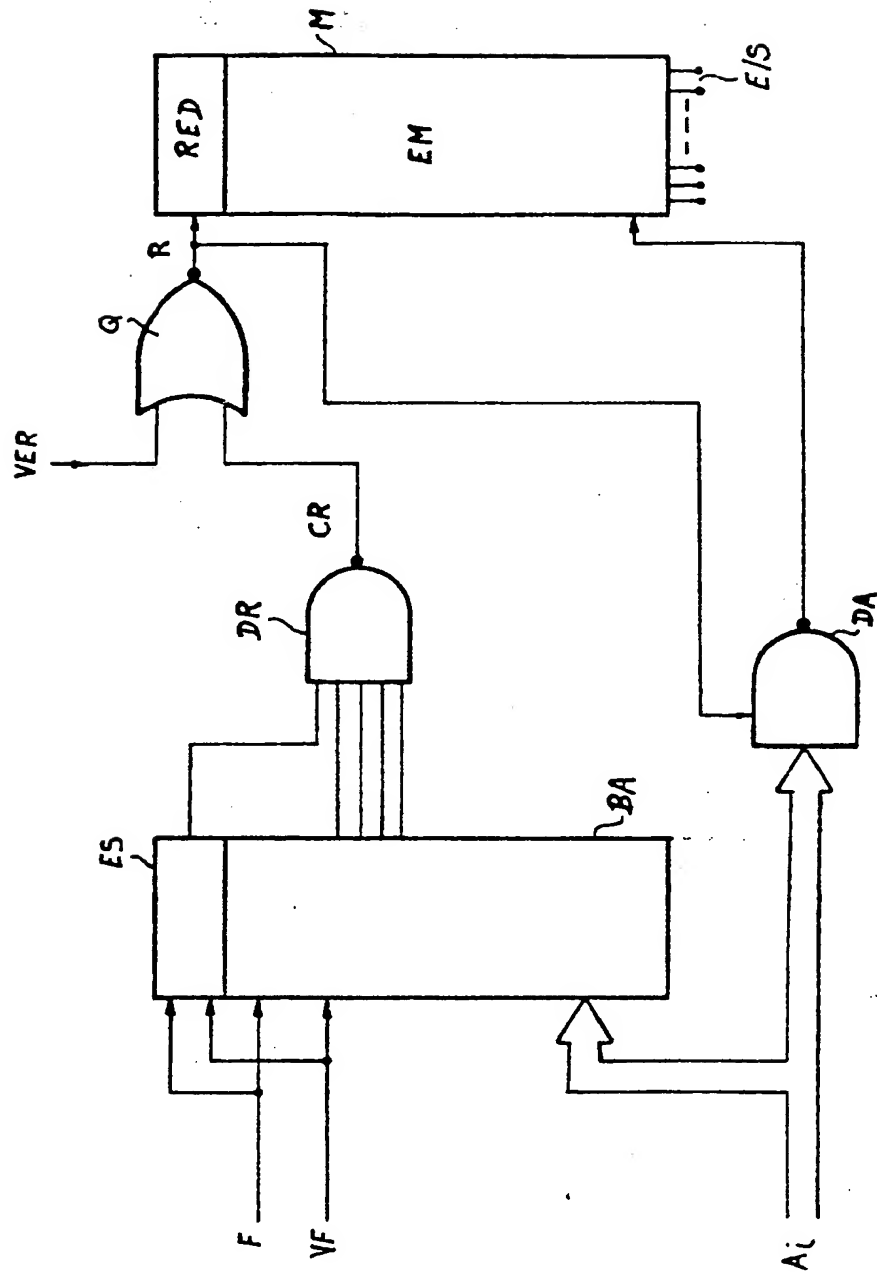
10 - un fusible de sélection dans la batterie (BA) de fusibles qui va permettre ou non en fonction de son état de relier la batterie à cet élément de redondance si cet élément a été détecté fonctionnel lors du test ;

15 - une batterie (BA) de fusibles qui reçoit une adresse d'un élément défectueux de la mémoire, cette adresse étant mémorisée par claquage de certains fusibles en même temps qu'à lieu le claquage du fusible de sélection ;

20 - un décodeur (DR) qui reçoit tous les signaux de sortie de la batterie (BA) et dont la sortie délivre un signal (CR) qui est susceptible par l'intermédiaire de la porte ou exclusif (Q) d'inhiber le décodeur d'adresse lorsque l'adresse présentée à l'entrée a été enregistrée dans la batterie et que le fusible de sélection a été claqué.

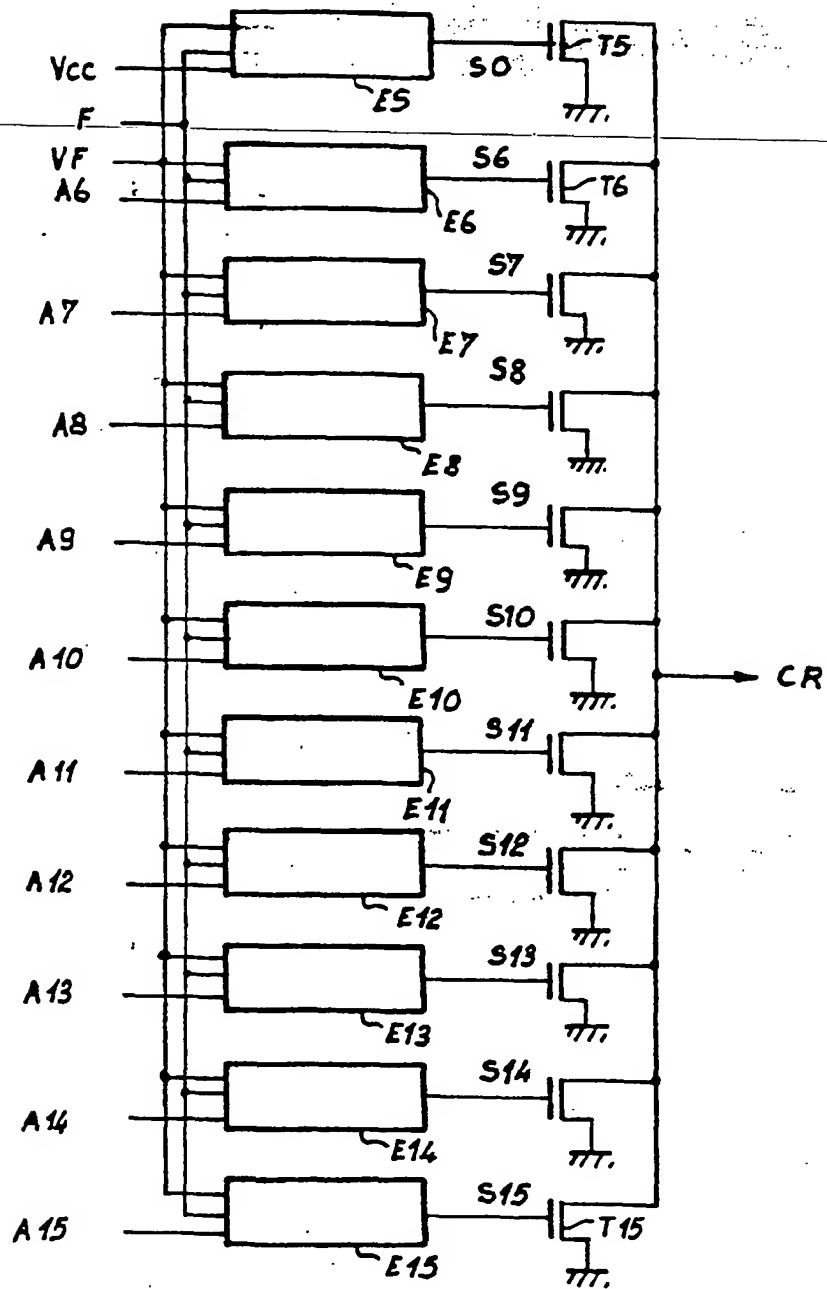
25 - 5. Dispositif selon la revendication 4, caractérisé en ce que la batterie de fusibles comporte un élément de mémorisation (E6-E15) pour chaque bit d'adresse et en ce que la sortie de chaque élément (E6-E15) a le même état 0 (ou 1) que l'entrée si le bit d'entrée correspond à l'état du fusible.

FIG_1



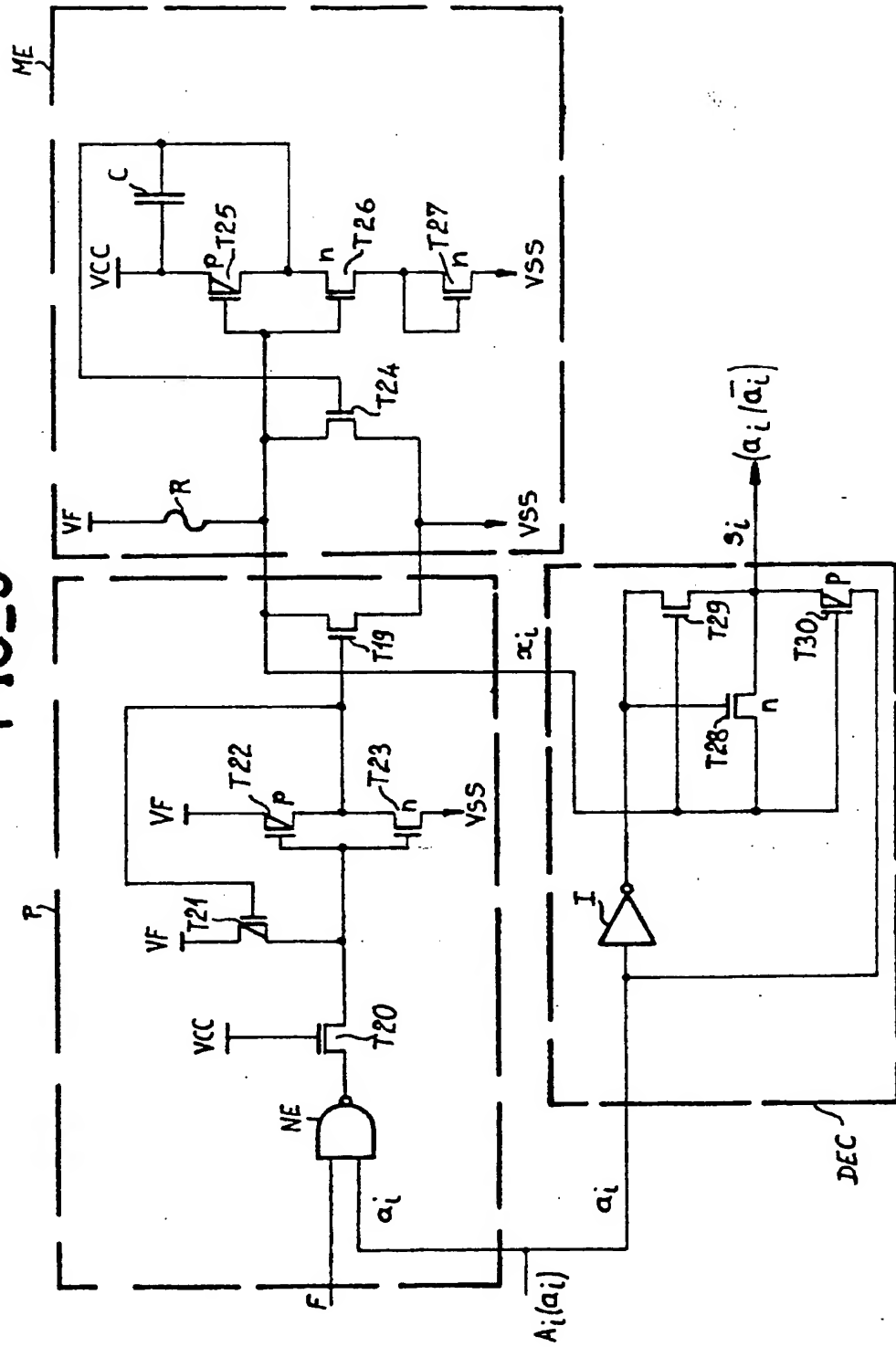
213

FIG_2



3/3

FIG. 3



Method of testing elements for an integrated memory and device for implementing the method

Patent Number: FR2611400
Publication date: 1988-09-02
Inventor(s): GAULTIER JEAN-MARIE; DEVIN JEAN; FERRON GERARD SILVESTRE DE
Applicant(s): THOMSON SEMICONDUCTEURS (FR)
Requested Patent: FR2611400
Application Number: FR19870002551 19870226
Priority Number(s): FR19870002551 19870226
IPC Classification:
EC Classification: G11C29/00R8A
Equivalents:

Abstract

Method of testing an integrated memory which includes an array of memory elements, an address decoder for these elements, redundant elements as well as at least one bank of fuses making it possible to define, through the blowing of certain fuses of each bank, an address of a defective memory element to be replaced by a redundant element, characterised in that it consists: - in testing the memory elements in order to detect defective elements; - in testing the redundancy elements in order to detect functional redundancy elements and defective redundancy elements; - in blowing fuses of a bank in correspondence with the address of a defective memory element, this bank being connected to a redundancy element defined as functional by the test; - in blowing a redundancy element selection fuse.



Data supplied from the esp@cenet database - I2

DOCKET NO:

SERIAL NO:

APPROVAL:

RECEIVED CIA RESEARCH

RECEIVED

RECEIVED

RECEIVED

DOCKET NO: 92000, 0343

SERIAL NO: _____

APPLICANT: R. Kaiser et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100